

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-283872

(43)Date of publication of application : 15.11.1989

(51)Int.Cl.

H01L 29/78
H01L 21/316

(21)Application number : 63-113023

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 10.05.1988

(72)Inventor : FUJISAWA AKIRA

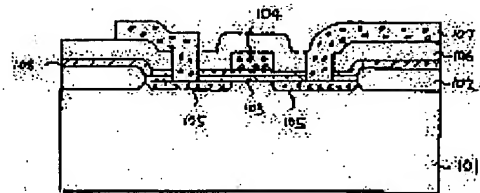
(54) MANUFACTURE OF MIS TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form a MIS type semiconductor device in which its defect density of its film is suppressed to a minimum with high reliability by forming a thermal oxide film and a gate film by a chemical vapor growing method.

CONSTITUTION: For example, in a MIS type semiconductor device having a silicon substrate 101, an element isolating oxide film 102, gate oxide films 103, 108 are formed of a thermal oxide film of the substrate and a chemical vapor growing method, the substrate is first left to stand for in a steam atmosphere, a thermal oxide film is formed, and an oxide film is then deposited under reduced pressure with dichlorosilane and nitrogen monoxide gas until it attains a desired thickness.

Accordingly, even if the thickness of the oxide film is increased, high reliability with respect to the dielectric breakdown strength of the oxide film can be obtained. A boundary between the substrate and the gate film is stabilized, and surface charge can be suppressed. Thus, high breakdown strength can be performed, and high reliability is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平1-283872

⑫ Int. Cl.⁴

H 01 L 29/78
21/316

識別記号

3 0 1

庁内整理番号

G-8422-5F
M-6824-5F

⑬ 公開 平成1年(1989)11月15日

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 M I S型半導体装置の製造方法

⑮ 特 願 昭63-113023

⑯ 出 願 昭63(1988)5月10日

⑰ 発 明 者 藤 沢 晃 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 上柳 雅彦 外1名

明 細 書

1. 発明の名称

M I S型半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に形成されたM I S型半導体装置の製造方法において、少なくとも半導体基板の熱酸化膜と化学的気相成長法による酸化膜によってゲート膜を形成していることを特徴とするM I S型半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、M I S型半導体装置、特に高耐圧M I S型半導体素子の製造方法に関するものである。
(従来の技術)

従来のM I S型半導体装置のゲート酸化膜は半導体基板の熱酸化により基板表面に形成していた。例えば乾燥酸素、もしくは水蒸気など雰囲気にお

いて必要とする膜厚に成長する時間だけ、半導体基板を熱処理して形成していた。

(発明が解決しようとする課題)

高耐圧素子のようにゲート電極に高電位が印加される場合には酸化膜の絶縁破壊電圧を高く設定するために酸化膜を厚く形成する必要がある。従って、前述の従来技術では膜厚をおおきくするために長時間の熱酸化を行なわなければならない。例えばゲートに5 Vの電圧が印加される素子ならば600 Å程度のゲート膜が必要となり、これを形成するために例えば、水蒸気雰囲気中、850℃で60分の熱処理をおこなう。ところがゲートに60 Vの電圧が印加される素子なら3000 Å程度のゲート膜が必要となり、水蒸気雰囲気中、900℃で4時間もの熱処理が必要となる。長時間の熱酸化をおこなうと酸化膜の欠陥密度が増加してゆく傾向にあり素子の信頼性上問題となる。

さらに長時間の熱酸化を行なうことはトランジスタ特性に対してばらつきをあたえる要因を拡大させることになりプロセス管理上の問題となるば

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-283872

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)11月15日

H 01 L 29/78
21/316

3 0 1

G-8422-5F
M-6824-5F

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 M I S 型半導体装置の製造方法

⑯ 特 願 昭63-113023

⑰ 出 願 昭63(1988)5月10日

⑱ 発 明 者 藤 沢 晃 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 上柳 雅彦 外1名

明 細 書

1. 発明の名称

M I S 型半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に形成されたM I S 型半導体装置の製造方法において、少なくとも半導体基板の熱酸化膜と化学的気相成長法による酸化膜によってゲート膜を形成していることを特徴とするM I S 型半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、M I S 型半導体装置、特に高耐圧M I S 型半導体素子の製造方法に関するものである。

〔従来の技術〕

従来のM I S 型半導体装置のゲート酸化膜は半導体基板の熱酸化により基板表面に形成していた。例えば乾燥酸膜、もしくは水蒸気など雰囲気にお

いて必要とする膜厚に成長する時間だけ、半導体基板を熱処理して形成していた。

〔発明が解決しようとする課題〕

高耐圧素子のようにゲート電極に高電位が印加される場合には酸化膜の絶縁破壊電圧を高く設定するために酸化膜を厚く形成する必要がある。従って、前述の従来技術では膜厚をおおきくするために長時間の熱酸化を行なわなければならない。例えばゲートに5Vの電圧が印加される素子ならば600Å程度のゲート膜が必要となり、これを形成するために例えば、水蒸気雰囲気中、850℃で60分の熱処理をおこなう。ところがゲートに60Vの電圧が印加される素子なら3000Å程度のゲート膜が必要となり、水蒸気雰囲気中、900℃で4時間もの熱処理が必要となる。長時間の熱酸化をおこなうと酸化膜の欠陥密度が増加してゆく傾向にあり素子の信頼性上問題となる。

さらに長時間の熱酸化を行なうことはトランジスタ特性に対してばらつきをあたえる要因を拡大させることになりプロセス管理上の問題となるば

特開平1-283672(2)

かりか、スループットの低下にもつながる。

本発明はこのような問題点を解決するためのもので、その目的とするところは、高耐圧化が可能で、高信頼性のMIS型半導体装置を提供することにある。

〔課題を解決するための手段〕

本発明のMIS型半導体装置は、半導体基板の熱酸化膜と化学的気相成長法を組み合わせてゲート膜を形成していることを特徴とする。

〔実施例〕

第1図は、本発明のMIS型半導体装置の実施例に於ける断面図である。101は例えばシリコン基板である。102は素子分離用の酸化膜であり、ここではLOCOS構造をとっているがアレーナ構造でもよい。103、108は本発明の主旨によるゲート酸化膜であり基板の熱酸化膜と化学的気相成長法により形成している。例えば、まず水素気雰囲気中、850℃で60分間基板を加熱し、熱酸化膜を400Å形成する。しかるのちに化学的気相成長法でジクロロシランと一酸化窒素ガスを用いて減圧下、800℃で酸化膜を所望の厚さになるまで堆積する。化学的気相法により形成した酸化膜は熱酸化法で形成した場合のように膜厚の増加にともなう欠陥密度の増加は起こらない。しかるに酸化膜厚が増加しても酸化膜の絶縁破壊電圧に関して高い信頼性を確保できる。また素子と化学的気相成長法による酸化膜の間には基板の熱酸化膜が存在しているため、素子とゲート膜の界面は安定しており表面欠陥の発生を抑制できる。104はゲート電極となる、例えば多結晶シリコンである。105はソース及びドレインとなる拡散層である。106は多結晶シリコン電極とアルミニウム電極とを分離する層間絶縁膜であり、通常、化学的気相成長法で形成したPSG膜などが使われる。107はアルミニウム配線電極である。

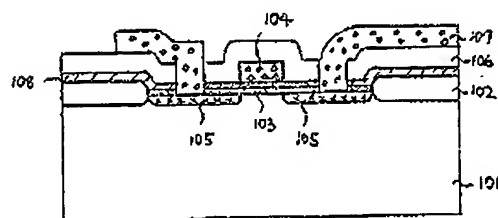
〔発明の効果〕

以上述べたように本発明によれば、熱酸化膜と化学的気相成長法によりゲート膜を形成しているため、膜の欠陥密度を最小限に抑制した高信頼性のMIS型半導体素子が形成できる。また800℃程度で化学的気相成長を行なうため膜厚を自由に設定しても素子に与える影響は少ない。

4. 図面の簡単な説明

第1図は、本発明の半導体装置の一実施例を示す主要断面図である。

- 101・・・シリコン基板
- 102・・・LOCOS酸化膜
- 103・・・ゲート酸化膜（熱酸化により形成）
- 104・・・ゲート電極
- 105・・・拡散層
- 106・・・層間絶縁膜
- 107・・・アルミニウム配線
- 108・・・ゲート酸化膜（化学的気相成長法により形成）



第1図

以上